

CPU. Архитектура, программная модель процессора Pentium

¹Кафедра информационных технологий и систем
Национальная металлургическая академия Украины

8 сентября 2011 г.

POWER6 состоит из примерно 790 млн транзисторов и имеет площадь 341 мм^2 при технологическом процессе 65 нм. Начал выпускаться 8 июня 2007 г. с частотами 3,5 ГГц, 4,2 ГГц, 4,7 ГГц, однако в IBM заявляют, что опытные образцы достигают частоты в 6 ГГц. Первые кремниевые прототипы были изготовлены в середине 2005 г.

Процессор имеет два ядра и 128 КБ кэш I уровня (поделенный на 64 КБ кэш данных и 64 КБ кэш инструкций), an eight-way set-associative design, 2-уровневый конвейер, выполняющий два независимых чтения по 32 бита или одно 64-битовое за тактовый цикл. Каждое из ядер обладает 4 МБ кэш-памяти II уровня, частично разделяемого между ними (одно из ядер получает кэш под свое управление, второму предоставляется к нему быстрый доступ). Процессору выделяется 32 МБ кэша III уровня на отдельном кристалле, присоединенного к шине с пропускной способностью 80 ГБ/с.

Каждое из ядер способно выполнять два потока команд одновременно и включает два целочисленных блока, два блока двоичных вычислений с плавающей точкой, один блок десятичных вычислений с плавающей точкой. Впервые десятичные вычисления были реализованы на аппаратном уровне. Для этого задействованы 50 новых команд, осуществляющих математические операции и перевод из двоичной в десятичную систему счисления и обратно. Расширение адресовано серверам семейства System z.

CPU Power6

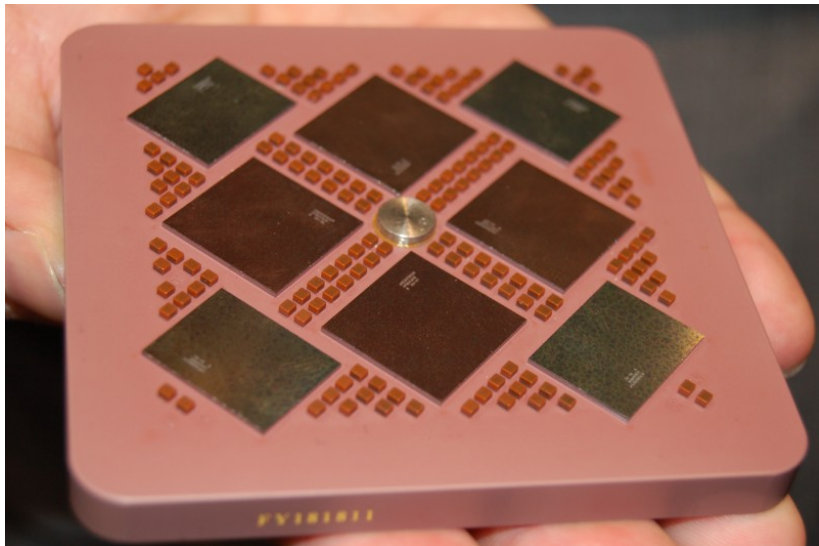
Работа CPU

Архитектура процессора pentium

Организация памяти

Типы данных

Регистры.



Power7 - 2010г. — 4,2ГГц, 8 ядер, 4 потока (thread) на ядро.

567мм² L1 cache — 32+32 КВ/core

L2 cache 256 КВ/core

L3 cache 32 МВ

Этапы цикла выполнения:

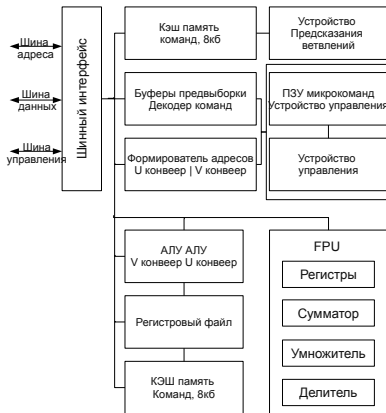
- 1 Процессор выставляет число, хранящееся в регистре счётчика команд, на шину адреса и отдаёт памяти команду чтения.
- 2 Выставленное число является для памяти адресом; память, получив адрес и команду чтения, выставляет содержимое, хранящееся по этому адресу, на шину данных и сообщает о готовности.
- 3 Процессор получает число с шины данных, интерпретирует его как команду (машинную инструкцию) из своей системы команд и исполняет её.
- 4 Если последняя команда не является командой перехода, процессор увеличивает на единицу (в предположении, что длина каждой команды равна единице) число, хранящееся в счётчике команд; в результате там образуется адрес следующей команды.

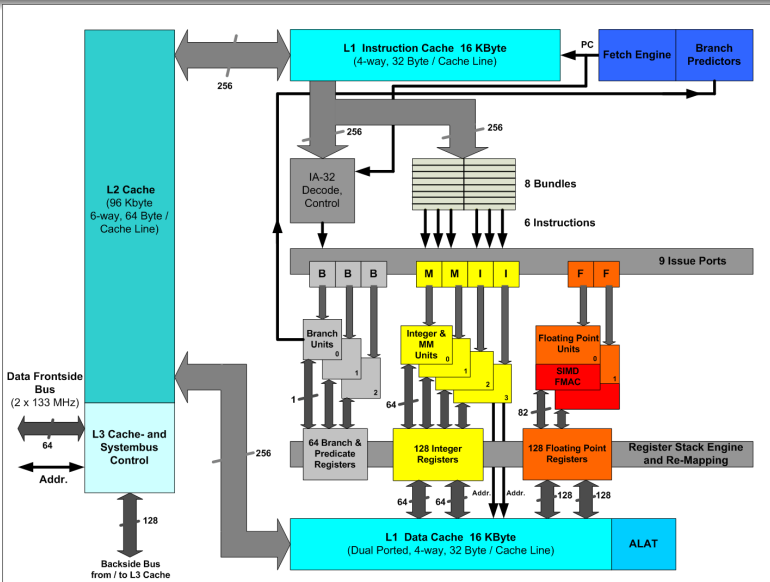
Данный цикл выполняется неизменно, и именно он называется процессом (откуда и произошло название устройства).

Во время процесса процессор считывает последовательность команд, содержащихся в памяти, и исполняет их. Такая последовательность команд называется программой и представляет алгоритм работы процессора. Очередность считывания команд изменяется в случае, если процессор считывает команду перехода, — тогда адрес следующей команды может оказаться другим. Другим примером изменения процесса может служить случай получения команды остановка или переключение в режим обработки прерывания.

Команды центрального процессора являются самым нижним уровнем управления компьютером, поэтому выполнение каждой команды неизбежно и безусловно. Не производится никакой проверки на допустимость выполняемых действий, в частности, не проверяется возможная потеря ценных данных. Чтобы компьютер выполнял только допустимые действия, команды должны быть соответствующим образом организованы в виде необходимой программы.

Скорость перехода от одного этапа цикла к другому определяется тактовым генератором. Тактовый генератор вырабатывает импульсы, служащие ритмом для центрального процессора. Частота тактовых импульсов называется тактовой частотой.





- Программная модель
- Организация памяти
- Типы данных
- Регистры
- Формат команд
- Выбор операндов

Стоит оговориться, что такое обилие режимов скорее наследие, чем реальная необходимость и вызвано необходимостью поддержки старых программ на новых платформах.

- R - (real address mode) - реальный режим, где его адресуемая память составляет 1 Мб и его работа совместима с 8086
- R16 - Защищенный 16-разрядный режим, который совместим с работой МП 80286 в защищенном режиме,

т.е. имеет 16-разрядную адресацию и его адресуемая физическая память составляет 16Мб.

- P32 - (protected virtual address mode) - защищенный 32-разрядный режим, в котором выполняются 32-разрядные операции, имеет адресуемую физическую память 4 Гб и поддержку виртуальной памяти до 64Тб. Механизм сегментации позволяет поддерживать виртуальную память объемом до 64Тб. На практике используется только страничная трансляция, благодаря которой каждой задаче предоставляется до 4 Гб виртуального адресного пространства. По умолчанию и адреса, и операнды имеют разрядность 32 бита. В защищенном режиме процессор может выполнять дополнительные инструкции, недоступные в реальном режиме; ряд инструкции, связанных с передачей управления, обработкой прерываний, и некоторые

другие выполняются иначе, чем в реальном режиме.

- V86 - виртуальный режим МП 8086, который реализуется внутри защищенного режима и реализует одновременную виртуальную работу множества МП 8086
- SMM - особый режим системного управления (486, pentium), при котором процессор переключается в иное, изолированное от остальных режимов адресное пространство в служебных и отладочных целях.
-

Память организована как последовательность 8-битовых байтов. Каждому байту соответствует уникальный адрес, называемый физическим, который может находиться в интервале от 0 до $2^{32} - 1$ байт.

Диспетчер памяти — это аппаратный механизм для

надежного и эффективного использования памяти. При использовании данного механизма, прикладные программы не используют прямой адресации к физической памяти, а адресуются к некоторой модели памяти, называемой виртуальной памятью.

Диспетчер памяти поддерживает сегментацию и преобразование страниц.

Сегментация — это механизм, обеспечивающий разбиение памяти на отдельные независимые адресные пространства. Преобразование страниц — это механизм поддержки модели большого адресного пространства ОЗУ, реально используя меньший объем ОЗУ и некоторое дисковое пространство. Возможно использование одного из указанных механизмов или их одновременное использование.

Адрес, используемый в программе, называется логическим адресом. Устройство сегментации преобразует логический

адрес в некоторый промежуточный адрес не сегментированного адресного пространства, называемый линейным. Устройство замещения страниц преобразует полученный линейный адрес в физический.

"Плоское" адресное пространство, при котором пространства кодов, стека и данных отображается в общие линейные адреса. В этом случае сегментация игнорируется и допускается доступ любого типа указателя на память к любому типу данных.

Сегментированное адресное пространство с различными сегментами для пространств кода, данных и стека. Может быть использовано до 16383 линейных адресных пространств, размером до 4 гигабайт каждое.

Несегментированная модель = это самая простая модель памяти. Несмотря на то не существует биты режима или управляющего регистра, которые позволяли бы включать и

выключать механизм сегментации, необходимый эффект достигается отображением всех сегментов в единое адресное пространство. В результате этого все операции с памятью обращаются к общему пространству памяти.

В плоской модели, сегменты могут покрывать весь 4-гигабайтный диапазон физических адресов, или только те адреса, которые отображаются на физическую память. Преимущество минимального адресного пространства в том, что оно обеспечивает минимальный уровень аппаратной защиты от программных ошибок. Исключение составляет случай, когда логический адрес указывает на адрес несуществующей памяти.

В сегментированной модели организации памяти, логическое адресное пространство содержит до 16383 сегментов, размером до 4 гигабайт каждый, т.е. общий объем может достигать 64 терабайта. Процессор отображает это 64-х

терабайтовое логическое адресное пространство в физическое адресное пространство (до 4-х гигабайт) в соответствии с механизмом преобразования адресов. Преимущество сегментированной модели заключается в том, что смещение внутри каждого адресного пространства проверяется отдельно и доступ к каждому сегменту контролируется индивидуально.

Указатель на сегментированное адресное пространство состоит из двух частей: 16-разрядное поле селектора сегмента, которое идентифицирует сегмент Смещение, которое представляет собой 32-разрядный адрес внутри сегмента.

Основными типами данных являются байты, слова и двойные слова.

Слово состоит из двух байтов, занимающих любые 2 последовательных адреса. Адресом слова считается адрес

его младшего байта. Адрес старшего байта может быть использован для доступа к старшей половине слова.

Двойное слово состоит из четырех байт, занимающих любые 4 последовательных адреса. Слово, содержащее нулевой бит, называется младшим словом, а слово содержащее 31-й бит = старшим словом. Адресом двойного слова считается адрес его самого младшего байта. Адрес старшего слова может быть использован для доступа к старшей половине двойного слова или доступа к отдельным байтам.

Учетверенное слово состоит из восьми байт, занимающих любые 8 последовательных адреса.

Для достижения максимальной гибкости в структурах данных и эффективного использования памяти, слова необязательно выравнивать по четным адресам. Двойные слова также необязательно выравнивать по адресам, кратным четырем, учетверенные — по адресам кратным

восьми.

Процессор содержит 16 регистров, которые могут использоваться прикладными программистами.

1. Регистры общего назначения (РОН). Это восемь 32-битных регистра, которые могут произвольно использоваться программистами

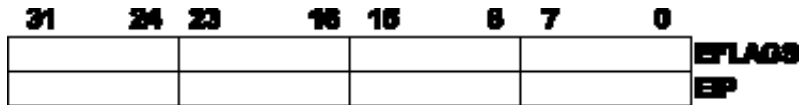
31	24	23	16	15	8	7	0	16
			AH				AL	AX
			BH				BL	BX
			CH				CL	CX
			DH				DL	DX
					BP			
					SI			
					DI			
					SP			

2. Регистры сегментов (РС). Данные регистры содержат селекторы сегментов, соответствующих различным формам доступа к памяти. Например существуют специальные сегментные регистры для доступа к пространству кода и пространству стека. Шесть сегментных регистров определяют, какие сегменты памяти доступны в каждый определенный момент времени.

15	8	7	0	
				CS
				DS
				SS
				ES
				FS
				GS

3. Регистр состояния (регистр системных флагов) и

управляющие регистры (РС и УР) Данные регистры определяют и позволяют изменять состояние процессора.



Формат команд. Каждая команда представляет собой закодированную информацию, содержащую код операции, подлежащей выполнению, тип операндов для данной операции и указание на расположение этих операндов. Если операнд расположен в памяти, в команде может содержаться явное или неявное указание на сегмент, содержащий указанный операнд.

Команды состоят из отдельных элементов и могут иметь различные форматы. Основные для всех команд элементы (только код операции обязательно присутствует в любой

команде).

- Префиксы: один или несколько байтов, предшествующих команде и модифицирующих операцию этой команды. Следующие префиксы могут быть использованы в прикладных программах:
 - 1 Замена (override) сегмента — в явной форме указывает, какой сегментный регистр должна использовать программа. Префикс отменяет действующий по умолчанию выбор сегментного регистра.
 - 2 Размер адреса (address size) — переключает разрядность адреса, определяя образование 32-разрядных или 16-разрядных адресов. Любой из этих размеров может быть выбираемым по умолчанию: данный префикс выбирает альтернативный размер.
 - 3 Размер операнда — переключает разрядность операндов, устанавливая их 32-разрядными или 16-разрядными. Любой из этих размеров может быть выбираемым по

умолчанию: данный префикс выбирает альтернативный размер.

- ④ Повторение — используется с командами обработки строк, заставляет команду воздействовать на каждый элемент строки.
- ⑤ Блокировка (Lock) — дополнительные возможности для получения монопольного использования процессором общего ресурса (например, памяти в многопроцессорных системах)
- Код операции: описывает операцию, выполняемую командой. Некоторым командам присущи несколько кодов операций, каждый из которых описывает определенный вариант операции.
- Описатель регистра: в команде могут быть описаны один или два регистра в качестве операндов. Описатель регистра может присутствовать как в байте кода операции, так и в байте описателя режима адресации

- **Описатель режима адресации:** этот элемент, если он присутствует, описывает, является ли операнд содержимым регистра или ячейки памяти. Если операнд находится в памяти, описатель режима указывает, надо ли использовать смещение, индексный регистр, регистр базы и масштабирование.
- **SIB (scale-index-base, масштаб-индекс-база) байт:** когда описатель режима адресации указывает на использование индексного регистра для вычисления адреса операнда, SIB байт используется для кодирования в команде базового регистра, индексного регистра и коэффициента масштабирования.
- **Смещение:** если описатель режима адресации указывает, что при вычислении адреса операнда будет использоваться смещение, в состав кода команды включается поле смещения. Смещение представляет

собой 8-,16- или 32-х разрядное целое число со знаком. 8-разрядная форма используется в тех случаях, когда смещение невелико. Процессор автоматически увеличит 8-разрядное смещение до 16- или 32-разрядов путем распространения его знакового разряда.

- Непосредственный операнд. Если этот элемент присутствует, он представляет значение операнда команды. Непосредственные операнды могут быть 8,16,32 разрядными. В случаях, когда 8-разрядный непосредственный операнд используется с 16-и или 32-х разрядным операндом, процессор автоматически увеличивает размер 8-разрядного операнда путем расширения его знакового разряда.